

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 10-093233

(43)Date of publication of application : 10.04.1998

(51)Int.Cl.

H05K 3/40
H05K 3/46

(21)Application number : 08-240248

(71)Applicant : DENSO CORP

(22)Date of filing : 11.09.1996

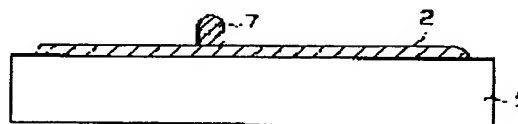
(72)Inventor : OTA SHINJI

(54) MANUFACTURING METHOD OF THICK-FILM CIRCUIT BOARD

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a method for manufacturing a thick-film circuit board by which defects such as a blocking-up of a via hole due to lump of paste can be prevented.

SOLUTION: A lower-layer conductor 2 is located on a ceramic substrate 1, and a via hole filling material 7 made of such material so as to be evaporated by baking is located at a via-hole formation section on the lower-layer conductor 2. The paste which constitutes the via hole filling material 7 is constituted of a binder component of glass paste which is to be used as paste for forming an insulating layer and is made by dissolving cellulose in terpeneol which is a solvent. The glass paste is located on the lower-layer conductor 2 and then is baked to be formed into an insulating layer, and the via-hole filling material 7 is eliminated, and a via hole is filled with the via-hole conductor. Finally, an upper layer conductor is located on the insulating layer.



LEGAL STATUS

[Date of request for examination] 23.10.2002

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number] 3567640

[Date of registration] 25.06.2004

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開平10-93233

(43)公開日 平成10年(1998) 4月10日

(51)Int.Cl.⁵
H 0 5 K 3/40
3/46

識別記号

F I
H 0 5 K 3/40
3/46

Z
K
C
N

審査請求 未請求 請求項の数3 O L (全 5 頁)

(21)出願番号 特願平8-240248
(22)出願日 平成8年(1996) 9月11日

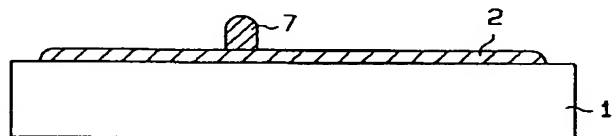
(71)出願人 000004260
株式会社デンソー
愛知県刈谷市昭和町1丁目1番地
(72)発明者 太田 真治
愛知県刈谷市昭和町1丁目1番地 日本電
装株式会社内
(74)代理人 弁理士 恩田 博宜

(54)【発明の名称】 厚膜回路基板の製造方法

(57)【要約】

【課題】 ダレによるビアホールの埋没等の不具合を解消することができる厚膜回路基板の製造方法を提供する。

【解決手段】 セラミック基板1の上に下層導体2を配置し、下層導体2の上におけるビアホール形成部に、焼成により気化する材料よりなるビアホール部充填体7を配置する。ビアホール部充填体7を形成するためのペーストは、絶縁層形成用ペーストとしてのガラスペーストにおけるバインダ成分にて構成され、セルロースを溶剤であるターピネオールにて溶かしたものを用いる。下層導体2の上にガラスペーストを配置し、焼成により絶縁層とするとともにビアホール部充填体7を除去し、ビアホール内をビアホール導体で充填し、絶縁層の上に上層導体を配置する。



【特許請求の範囲】

【請求項 1】 絶縁基板の上に下層導体が形成されるとともに、下層導体の上に絶縁層を介して上層導体が配置され、絶縁層に形成されたビアホールを通して前記下層導体と上層導体とが電氣的に接続された厚膜回路基板の製造方法であって、

絶縁基板の上に下層導体を配置する第 1 工程と、前記下層導体の上におけるビアホール形成部に、焼成により気化する材料よりなるビアホール部充填体を配置する第 2 工程と、

前記下層導体の上に絶縁層形成用ペーストを配置する第 3 工程と、

焼成により絶縁層とするとともに前記ビアホール部充填体を除去する第 4 工程と、

ビアホール内を導体で充填するとともに絶縁層の上に上層導体を配置する第 5 工程とを備えたことを特徴とする厚膜回路基板の製造方法。

【請求項 2】 ビアホール部充填体を形成するためのペーストは、絶縁層形成用ペーストとしてのガラスペーストにおけるバインダ成分にて構成されている請求項 1 に記載の厚膜回路基板の製造方法。

【請求項 3】 ビアホール部充填体を形成するためのペーストは、セルローズ又はアクリル樹脂を溶剤であるタービネオール又はブチルカルビトールにて溶かしたものである請求項 2 に記載の厚膜回路基板の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 この発明は、厚膜回路基板の製造方法に関するものである。

【0002】

【従来の技術】 従来の厚膜回路基板（多層基板）におけるビア部の製造方法を図 8～図 12 に示す。まず、図 8 のセラミック基板 11 に対し、図 9 に示すように、導体ペーストを印刷し乾燥・焼成を行いセラミック基板 11 上に下層導体 12 を形成する。そして、図 10 に示すように、下層導体 12 の上を含めたセラミック基板 11 上に絶縁層形成用ペーストを印刷し乾燥・焼成を行い絶縁層 13 を形成する。このとき、絶縁層 13 には、下層導体 12 上の任意箇所に複数のビアホール 14 が同時に形成される。この後、図 11 に示すように、ビアホール 14 内を充填するように導体ペーストを印刷し、乾燥・焼成によりビアホール導体 15 を形成する。さらに、図 12 に示すように、絶縁層 13 の上に導体ペーストを印刷し乾燥・焼成を行って上層導体 16 を形成し、ビアホール導体 15 を介して下層と上層の導体 12、16 を電氣的に接続する。

【0003】

【発明が解決しようとする課題】 ところが、下層導体 12 の上に絶縁層 13 を形成する工程において、図 13 に示すように、絶縁層形成用ペースト 13a をスクリーン

2

印刷した際に絶縁層形成用ペースト 13a がビアホール 14 内にダレてしまいビア通路が狭くなり、上層導体配線と下層導体配線との間で導通不良が生じ、最悪の場合にはオープンにまで至ってしまう。

【0004】 このビアホール 14 内への絶縁層形成用ペースト 13a のダレを防止するために、絶縁層形成用ペーストの印刷・乾燥・焼成を複数回に分けて行うことが考えられるが、このようにすると印刷ズレによりビア通路が狭くなり導通不良が発生してしまう。

10 【0005】 そこで、この発明の目的は、ダレによるビアホールの埋没等の不具合を解消することができる厚膜回路基板の製造方法を提供することにある。

【0006】

【課題を解決するための手段】 請求項 1 に記載の発明によれば、第 1 工程により、絶縁基板の上に下層導体が配置され、第 2 工程により、下層導体の上におけるビアホール形成部に、焼成により気化する材料よりなるビアホール部充填体が配置される。そして、第 3 工程により、下層導体の上に絶縁層形成用ペーストが配置される。このとき、ビアホール部にはビアホール部充填体が配置されているので、ビアホール部に絶縁層形成用ペーストがダレることがない。さらに、第 4 工程により、焼成にて絶縁層となるとともにビアホール部充填体が除去される。第 5 工程により、ビアホール内が導体で充填されるとともに絶縁層の上に上層導体が配置される。

20 【0007】 このようにして、絶縁基板の上に下層導体が形成されるとともに、下層導体の上に絶縁層を介して上層導体が配置され、絶縁層に形成されたビアホールを通して下層導体と上層導体とが電氣的に接続された厚膜回路基板が製造される。

30 【0008】 請求項 2 のように、ビアホール部充填体を形成するためのペーストを、絶縁層形成用ペーストとしてのガラスペーストにおけるバインダ成分にて構成すると、第 4 工程での焼成によりビアホール部充填体が確実に除去される。

40 【0009】 つまり、請求項 3 のように、セルローズ又はアクリル樹脂を溶剤であるタービネオール又はブチルカルビトールにて溶かしたものをを用いると、第 4 工程での焼成によりビアホール部充填体を確実に気化させ除去することができる。

【0010】

【発明の実施の形態】 以下、この発明の実施の形態を図面に従って説明する。図 7 には本実施の形態における厚膜回路基板を示す。アルミナ 96% のセラミック基板（絶縁基板）1 の上には下層導体 2 が配置されている。下層導体 2 は膜厚が 10 μm 程度である。下層導体 2 の上には絶縁層 3 が形成されている。絶縁層 3 はガラスペーストを印刷・乾燥・焼成することにより形成したものである。この絶縁層 3 には径が 300 μm 程度のビアホール 4 が形成され、ビアホール 4 にはビアホール導体 5

3

が充填されている。ビアホール導体5の上を含めた絶縁層3の上には上層導体6が配置され、ビアホール導体5にて下層導体2と上層導体6とが電氣的に接続されている。

【0011】次に、この厚膜回路基板の製造方法を、図1～図7を用いて説明する。まず、図1に示すセラミック基板1を用意する。そして、図2に示すように、セラミック基板1上に下層導体2を形成するための所定のパターンのスクリーンマスクを用いて導体ペーストをスクリーン印刷し、ペーストを乾燥し、焼成する。この導体ペーストとしては例えば銀(Ag)を主体とする材料を用いる。

【0012】そして、図3に示すように、下層導体2の上におけるビアホール形成部(ビアホール形成予定領域)にダレ防止のためのビアホール部充填体7を配置する。ビアホール部充填体7の形成には、ガラスペーストの焼成時に燃焼または分解して気化する樹脂成分と、加熱乾燥にて蒸発する溶剤とからなるペーストを用いる。本実施形態においては、ビアホール部充填体用ペーストは、ガラスペーストにおけるバインダ成分であるセルロース及び溶剤のタービネオールよりなり、このビアホール部充填体用ペースト、即ち、セルロースをタービネオールにて溶かしたペーストを印刷・乾燥することによりビアホール部充填体7を形成している。又、ビアホール部充填体7は円柱状をなし、その径は300 μ m程度である。

【0013】尚、ビアホール部充填体7の高さはガラスペースト(図4の3aにて示す)と同程度の高さが好ましい。次に、図4に示すように、下層導体2の上を含めたセラミック基板1上に絶縁層形成用ペーストとしてのガラスペースト3aを印刷する。この際、ビアホール部充填体7によりビアホール部へのガラスペースト3aのダレは生じない。さらに、100～150℃の乾燥を行った後、図5に示すように、約800℃、1時間の焼成を行って絶縁層3を形成する。この焼成の時にビアホール部充填体7は気化してビアホール4が形成される。この絶縁層形成工程は一回の印刷・乾燥・焼成にて行っても、複数回の印刷・乾燥・焼成にて行ってもよく、複数回にて行う場合は一回当たりの厚さは25 μ m程度とする。尚、ガラスペーストを複数回印刷する場合には、各ガラスペーストの印刷前にビアホール部充填体7をそれぞれ形成してもよい。

【0014】その後、図6に示すように、ビアホール部充填体7の除去により形成されたビアホール4内にビアホール導体用ペーストを充填(印刷)し、乾燥・焼成を行いビアホール導体5を形成する。さらに、図7に示すように、ビアホール導体5の上を含めた絶縁層3の上には、上層導体形成用の導体ペーストを印刷し、乾燥・焼成を行う。これを複数回行って上層導体6を形成する。その結果、ビアホール導体5を介して下層と上層の導体

4

2、6が電氣的に接続される。

【0015】このように本実施の形態は、下記の特徴を有する。

(イ) セラミック基板1の上に下層導体2を配置し(第1工程)、下層導体2の上におけるビアホール形成部に、焼成により気化する材料よりなるビアホール部充填体7を配置し(第2工程)、下層導体2の上にガラスペースト3aを配置し(第3工程)、焼成により絶縁層3とするとともにビアホール部充填体7を除去し(第4工程)、ビアホール4内をビアホール導体5で充填するとともに絶縁層3の上に上層導体6を配置した。よって、第3工程において、ビアホール部にはビアホール部充填体7が配置されているので、ビアホール部にガラスペースト3aがダレることがなく、ダレによるビアホールの埋没等の不具合が解消される。つまり、ビアホール内への絶縁層形成用ペーストのダレを防止するために絶縁層形成用ペーストの印刷・乾燥・焼成を複数回に分けて行うと印刷ズレにより導通不良が発生してしまうが、本実施形態ではその手法を用いておらず導通不良が発生することがない。

(ロ) ビアホール部充填体7の形成用ペーストとして、セルロースを溶剤であるタービネオールにて溶かしたものをを用いた。即ち、絶縁層形成用ペーストとしてのガラスペースト3aにおけるバインダ成分にて構成した。よって、ガラスペースト3aの焼成時にビアホール部充填体7を確実に気化させ除去することができる。

【0016】尚、上記実施の形態ではセルロースをタービネオールに溶かしたビアホール部充填体用ペーストを用いたが、これ以外に、セルロースをブチルカルビトールに溶かしたものの、アクリル樹脂をタービネオール又はブチルカルビトールに溶かしたものを、ビアホール部充填体用ペーストとして用いても、同様の効果が得られる。

【図面の簡単な説明】

【図1】 実施の形態における厚膜回路基板の製造工程を説明するための断面図。

【図2】 実施の形態における厚膜回路基板の製造工程を説明するための断面図。

【図3】 実施の形態における厚膜回路基板の製造工程を説明するための断面図。

【図4】 実施の形態における厚膜回路基板の製造工程を説明するための断面図。

【図5】 実施の形態における厚膜回路基板の製造工程を説明するための断面図。

【図6】 実施の形態における厚膜回路基板の製造工程を説明するための断面図。

【図7】 実施の形態における厚膜回路基板の製造工程を説明するための断面図。

【図8】 従来の厚膜回路基板の製造工程を説明するための断面図。

5

【図9】 従来の厚膜回路基板の製造工程を説明するための断面図。

【図10】 従来の厚膜回路基板の製造工程を説明するための断面図。

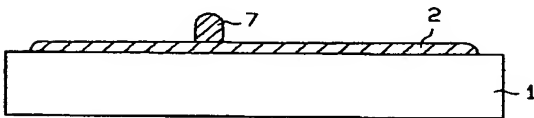
【図11】 従来の厚膜回路基板の製造工程を説明するための断面図。

【図12】 従来の厚膜回路基板の製造工程を説明するための断面図。

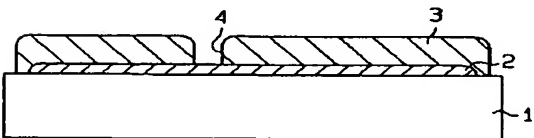
【図1】



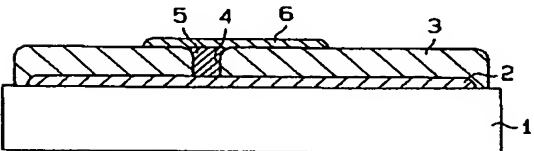
【図3】



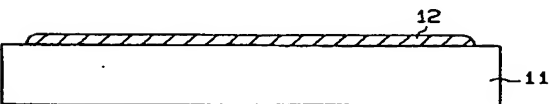
【図5】



【図7】



【図9】



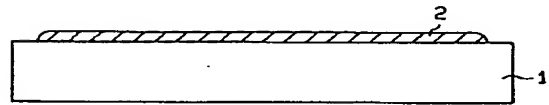
6

【図13】 従来の厚膜回路基板の製造工程を説明するための断面図。

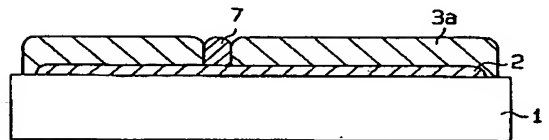
【符号の説明】

1…絶縁基板としてのセラミック基板、2…下層導体、3…絶縁層、3a…絶縁層形成用ペーストとしてのガラスペースト、4…ビアホール、5…ビアホール導体、6…上層導体、7…ビアホール部充填体。

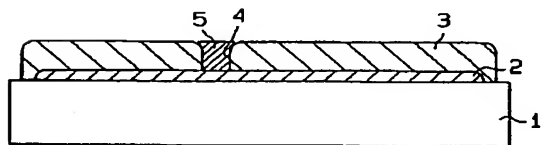
【図2】



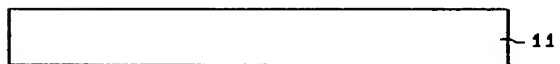
【図4】



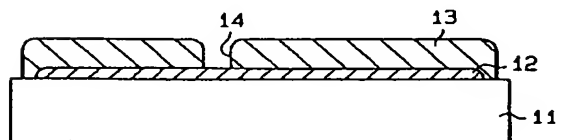
【図6】



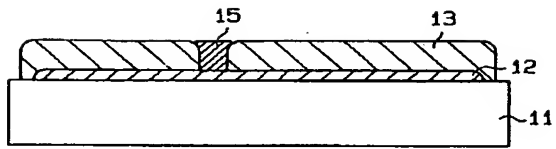
【図8】



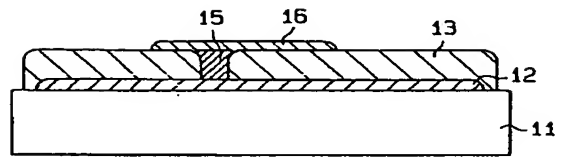
【図10】



【図11】



【図12】



【図13】

